

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-096897

(43)Date of publication of application : 14.04.1998

(51)Int.Cl.

G02F 1/133  
G02F 1/1339  
G02F 1/1339  
G09F 9/30

(21)Application number : 09-206100

(71)Applicant : CANON INC

(22)Date of filing : 31.07.1997

(72)Inventor : MIHARA TADASHI  
TSUJITA CHIKAKO  
MORI SUNAO  
SAITO TETSUO  
KOMURA AKIHIKO

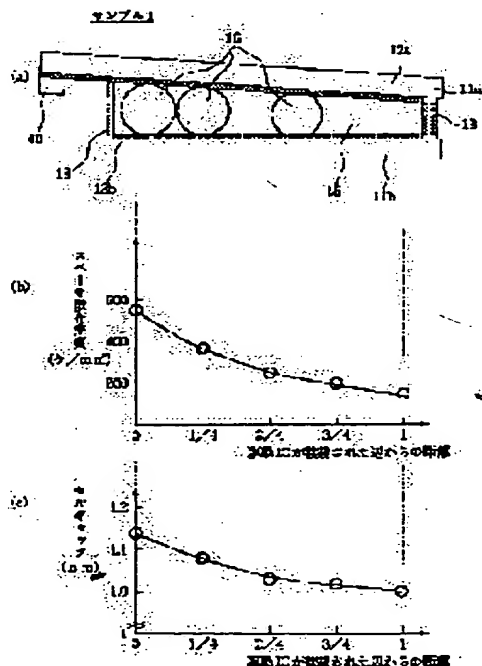
(30)Priority

Priority number : 08202054 Priority date : 31.07.1996 Priority country : JP

(54) LIQUID CRYSTAL ELEMENT, ITS PRODUCTION AND LIQUID CRYSTAL DISPLAY DEVICE HAVING THIS LIQUID CRYSTAL ELEMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To eliminate display unevenness based on temp. distribution within a liquid crystal element plane.  
SOLUTION: Liquid crystals 15 exhibiting a chiral smectic phase are held between a pair of substrates 11a and 11b which respectively have electrodes 12a, 12b and are disposed to face each other apart a gap of a prescribed length. This element has at least a section connected with a driving circuit 40 for supplying voltage for liquid crystal driving to the electrodes 12a, 12b. The gap is made smaller as the distance from at least one side of the sides connected with this driving circuit 40 increases.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

**HIS PAGE BLANK (USPTO)**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-96897

(43) 公開日 平成10年(1998) 4月14日

(51) Int. Cl.<sup>6</sup>  
G 0 2 F 1/133 5 8 0  
1/1339 5 0 0  
5 0 5  
G 0 9 F 9/30 3 0 8

F I  
G 0 2 F 1/133 5 8 0  
1/1339 5 0 0  
5 0 5  
G 0 9 F 9/30 3 0 8 B

審査請求 未請求 請求項の数19 O L (全 16 頁)

(21) 出願番号 特願平9-206100  
(22) 出願日 平成9年(1997) 7月31日  
(31) 優先権主張番号 特願平8-202054  
(32) 優先日 平8(1996) 7月31日  
(33) 優先権主張国 日本 (J P)

(71) 出願人 000001007  
キヤノン株式会社  
東京都大田区下丸子3丁目30番2号  
(72) 発明者 三原 正  
東京都大田区下丸子3丁目30番2号キヤノ  
ン株式会社内  
(72) 発明者 辻田 知佳子  
千葉県千葉市稲毛区宮野木町1286-9  
(72) 発明者 森 直  
東京都大田区下丸子3丁目30番2号キヤノ  
ン株式会社内  
(74) 代理人 弁理士 丸島 儀一

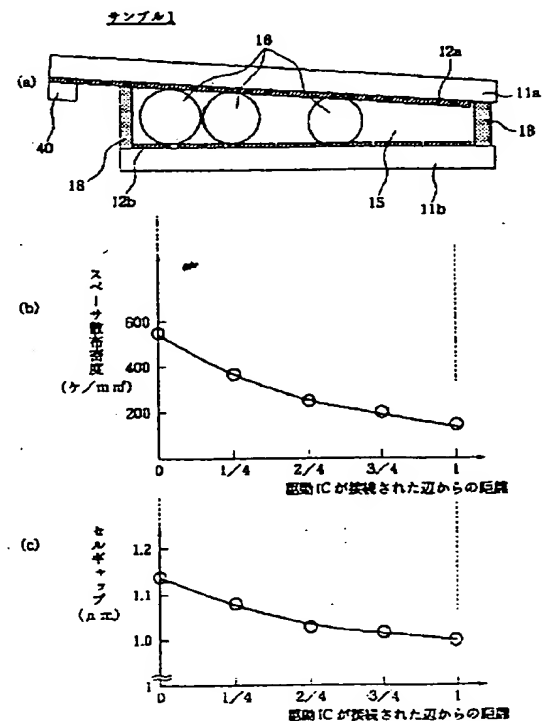
最終頁に続く

(54) 【発明の名称】 液晶素子、その製造方法及び該液晶素子を備えた液晶表示装置

(57) 【要約】

【課題】 液晶素子面内の温度分布に基づく表示ムラを解消する。

【解決手段】 夫々電極12a、12bを備え、所定長のギャップを隔てて対向した一对の基板11a、11b、間にカイラルスメクティック相を呈する液晶15を挟持し、少なくとも電極12a、12bに対し、液晶駆動用の電圧を供給する駆動回路40が接続される部位を有し、駆動回路40が接続される辺の少なくとも1辺からの距離が大きくなるに伴って、該ギャップが小さくなることを特徴とする液晶素子。



## 【特許請求の範囲】

【請求項 1】 夫々電極を備え、所定長のギャップを隔てて対向した一对の基板間にカイラルスメクチック相を呈する液晶を挟持し、少なくとも 1 辺に前記電極に対して液晶駆動用の電圧を供給する駆動回路が接続される部位を有する液晶素子であって、前記駆動回路が接続される辺の少なくとも一辺からの距離が大きくなるに伴って、前記ギャップが小さくなることを特徴とする液晶素子。

【請求項 2】 前記一方の基板に形成された電極が走査電極であり、他方の基板に形成された電極が情報電極であり、これらの電極がマトリクス電極構造をなし、該走査電極に電圧を供給する駆動回路が形成された辺からの距離が大きくなるに伴って、前記ギャップが小さくなることを特徴とする請求項 1 記載の液晶素子。

【請求項 3】 前記一对の基板間のギャップが、前記カイラルスメクチック相を呈する液晶に固有に存在する液晶分子のらせん配列構造が解除されるのに十分な大きさである、請求項 1 又は 2 記載の液晶素子。

【請求項 4】 前記一对の基板が複数のスペーサーを介して対向しており、前記駆動回路が接続される辺の少なくとも一辺からの距離に応じて、該スペーサーの分散密度を変化させた請求項 1 記載の液晶素子。

【請求項 5】 前記駆動回路が接続される辺の少なくとも一辺からの距離が大きくなるに伴って、スペーサーの分散密度を小さくした請求項 1 記載の液晶素子。

【請求項 6】 前記一对の基板が複数のスペーサーを介して対向しており、前記走査電極に電圧を供給する駆動回路が接続される辺からの距離に応じて、該スペーサーの分散密度を変化させた請求項 2 記載の液晶素子。

【請求項 7】 前記走査電極に電圧を供給する駆動回路が接続される辺からの距離が大きくなるに伴って、スペーサーの分散密度を小さくした請求項 6 記載の液晶素子。

【請求項 8】 前記走査電極に電圧を供給する駆動回路が、一辺のみに形成される請求項 2 記載の液晶素子。

【請求項 9】 前記走査電極に電圧を供給する駆動回路が、互いに対向する二辺に形成される請求項 2 記載の液晶素子。

【請求項 10】 前記一对の基板が、その周縁部に形成されたシール剤により貼り合わせられており、該シール剤が少なくとも一部において二重構造をとる請求項 1 又は 2 記載の液晶素子。

【請求項 11】 最大セルギャップ  $d_{max}$ 、最小セルギャップ  $d_{min}$  としたとき、これが

【外 1】

$$\frac{d_{max}-d_{min}}{(d_{max}+d_{min})/2} \times 100 \geq 5 (\%)$$

の関係を有する請求項 1 記載の液晶素子。

【請求項 12】 最大セルギャップ  $d_{max}$ 、最小セル

(2)

ギャップ  $d_{min}$  の関係が、  
【外 2】

$$30 (\%) \geq \frac{d_{max}-d_{min}}{(d_{max}+d_{min})/2} \times 100 \geq 5 \%$$

となる、請求項 11 記載の液晶素子。

【請求項 13】 夫々電極を備え、スペーサーを介して所定長のギャップを隔てて対向した一对の基板間に液晶を挟持し、少なくとも 1 辺に前記電極に対して液晶駆動用の電圧を供給する駆動回路が接続される部位を有する液晶素子であって、

前記駆動回路が接続される辺の少なくとも一辺からの距離に応じて、前記スペーサーの分散密度を変化させたことを特徴とする液晶素子。

【請求項 14】 前記駆動回路が接続される辺の少なくとも一辺からの距離が大きくなるに伴って、スペーサーの分散密度を小さくした請求項 13 記載の液晶素子。

【請求項 15】 前記一方の基板に形成された電極が走査電極であり、他方の基板に形成された電極が情報電極であり、これら電極がマトリクス電極構造をなし、該走査電極に電圧を供給する駆動回路が形成された辺からの距離に応じて、前記スペーサーの分散密度を変化させたことを特徴とする請求項 13 記載の液晶素子。

【請求項 16】 前記走査電極に電圧を供給する駆動回路が接続される辺からの距離が大きくなるに伴って、スペーサーの分散密度を小さくした請求項 13 記載の液晶素子。

【請求項 17】 夫々電極を備え、スペーサーを介して所定長のギャップを隔てて対向した一对の基板間に液晶を挟持し、少なくとも 1 辺に前記電極に対して液晶駆動用の電圧を供給する駆動回路が接続される部位を有する液晶素子の製造方法であって、

一方の基板の周縁部に前記液晶を基板間に注入するための部分を除いて、少なくとも一部を二重構造としたシール剤パターンを形成する工程と、

前記一对の基板のいずれか一方に、前記駆動回路が接続される辺の少なくとも一辺からの距離に応じて分布をもった分散密度でスペーサーを散布する工程と、

前記シール剤パターンが形成され、スペーサーが散布された一对の基板を対向させ、加熱及び加圧を施してシール剤を硬化させ、該一对の基板を貼り合わせる工程と、を具備してなる液晶素子の製造方法。

【請求項 18】 夫々電極を備え、スペーサーを介して所定長のギャップを隔てて対向した一对の基板間に液晶を挟持し、少なくとも 1 辺に前記電極に対して液晶駆動用の電圧を供給する駆動回路が接続される部位を有する液晶素子であって、前記駆動回路が接続される辺の少なくとも一辺からの距離に応じて、前記基板間のギャップを変化させた液晶素子と、

前記液晶素子の背面側に配置され、該液晶素子に対し、前記基板間ギャップの変化に応じた色度分布を有する平

(3)

面光を照射する照明手段と、を具備してなる液晶表示装置。

【請求項19】 夫々電極を備え、スペーサーを介して所定長のギャップを隔て対向した一対の基板間に液晶を挟持し、少なくとも1辺に前記電極に対して液晶駆動用の電圧を供給する駆動回路が接続される部位を有する液晶素子であって、前記駆動回路が接続される辺の少なくとも一辺からの距離に応じて、前記スペーサーの分散密度を変化させた液晶素子と、前記液晶素子の背面側に配置され、該液晶素子に対し、前記スペーサーの分散密度を変化に応じた色度分布を有する平面光を照射する照明手段と、を具備してなる液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電極を有する基板間に液晶を挟持した液晶素子に関するものであり、詳しくは駆動による発熱による表示ムラを防止する液晶素子構成に関するものである。

【0002】

【従来の技術】強誘電性液晶分子の屈折率異方性を利用して偏光板との組み合わせにより透過光線を制御する型の表示素子がクラーク（Clark）およびラガーウォール（Lagerwall）により提案されている（特開昭56-107216号公報）。この強誘電性液晶は、一般に特定の温度域において、カイラルスメクチック相を有し、この状態において、加えられる電界にตอบสนองして第1の光学的安定状態と第2の光学的安定状態のいずれかをとり、かつ電界無印加の時にはその状態を維持する性質、すなわち双安定性を有し、また電界の変化に対する応答も速やかであり、高速並びに記憶型の表示素子として広い利用が期待されている。

【0003】

【発明が解決しようとする課題】しかしながら、上述したカイラルスメクチック液晶が固有に存在する分子のらせん配列を解除し、双安定性を有するためには、セルギャップ（液晶セル構造における一対の基板間のギャップの長さ（実効的な距離））を小さくする必要がある。また、液晶の複屈折率とセルギャップの関係から発生する色づきをなくすためにもセルギャップを均一に薄くする必要がある。セルギャップを小さくした場合に透明電極間距離が小さくなるため、液晶素子としての容量が大きくなる。そのためカイラルスメクチック液晶を一対の基板（電極基板間）に挟持した構造の素子を駆動した時には素子の端部に設けた駆動用ICの発熱が大きくなる。この発熱により液晶素子面内の温度分布が生じ、これに対応して、液晶分子の駆動特性（例えば閾値特性）が不均一となって、表示ムラが起き、表示品位を低下させるという問題があった。

【0004】本発明は、上記問題点を鑑みてなされたも

4

ので、その課題とするところは、液晶素子において、特に駆動IC等が実装された部分近傍での発熱に起因した液晶パネル面内の過度に不均一な温度分布を解消し、面内での表示ムラ等を防止することである。特にカイラルスメクチック液晶を用いた液晶素子のようなセルギャップの小さい液晶素子において、上記問題点を解決する液晶素子を提供することを課題とする。

【0005】

【課題を解決するための手段】本発明の上記課題は、液晶素子は、夫々電極を備え、所定のギャップを隔てて対向した一対の基板間にカイラルスメクチック相を呈する液晶を挟持し、少なくとも1辺に前記電極に対して液晶駆動用の電圧を供給する駆動回路が接続される部位を有する液晶素子であって、前記駆動回路が接続される辺の少なくとも一辺からの距離が大きくなるに伴って、前記ギャップの長さが小さくなることを特徴とする。

【0006】前述したように、一対の電極を備えた基板間に液晶（特にカイラルスメクチック液晶）を挟持したパネル構造をなす素子では、基板間のギャップが小さく容量が大きくなることに起因して駆動IC（駆動回路）の発熱により当該駆動ICが実装された辺の近傍において液晶自体が加熱される。かかる加熱の程度は、当該駆動ICが実装された辺からの距離に応じて変化する。この距離によって駆動時の液晶の温度に分布が生じ、ひいてはその駆動特性にも過度に不均一な分布が発現する。

【0007】本発明の素子では、駆動ICが実装された辺からの距離が大きくなるに伴ってギャップの大きさ（セルギャップ）が小さくなるように設定することによって、具体的には駆動時における液晶に印加される電界の強度を最適に分布させ、上述したパネル面内での液晶の駆動特性の分布を補償し、ひいては表示特性の均一化を図られる。

【0008】

【発明の実施の形態】以下、図面に沿って本発明の液晶素子の実施の形態について説明する。

【0009】図1（a）は、本発明の液晶素子の一構造例を模式的に示す斜視図、図1（b）は（a）のA-A線に沿った断面図である。

【0010】当該液晶素子（液晶パネル）は、2枚のガラス等の部材からなる基板11a、11bを備えており、これらのガラス基板11a、11bの表面には所定のパターン状（例えば厚さ400～3000Å）に透明電極12a、12bがそれぞれ形成されマトリックス電極構造を構成している。この透明電極12a、12bは、 $\text{In}_2\text{O}_3$ 、 $\text{SnO}_2$ 或いはITO（インジウム ティン オキシド：Indium-Tin Oxide）等の薄膜からなっている。

【0011】例えば、かかるマトリックス電極構造をなす透明電極12a、12bは夫々マルチプレックス駆動が適用される場合の走査電極、情報電極に対応し、基板

5

11a, 11bの少なくとも一方の端辺で駆動IC（駆動回路）が実装される（図示せず）これら電極に走査信号（電圧）、情報信号（電圧）を供給するこれら駆動ICは、電極の本数等に応じて基板の一边のみにあるいは電極毎に対向する二辺にふりわけられて実装されてもよい。

【0012】透明電極12a, 12bは、必要に応じて絶縁膜13a, 13bを介して配向制御膜14a, 14bによって被覆されている。

【0013】この絶縁膜13a, 13bは、例えばシリコン窒化物、水素を含有するシリコン炭化物、シリコン酸化物、ホウ素窒化物、水素を含有するホウ素窒化物、セリウム酸化物、アルミニウム酸化物、ジルコニウム酸化物、チタン酸化物やタンタル酸化物やフッ化マグネシウムなどの無機物質或いは他の有機絶縁物質にて形成されており、少なくとも一層、或いは必要に応じて多層構造として、対向基板（電極）間のショート防止機能を有する。また、上述したショート防止のための有機ないし無機絶縁膜上には、Ti-Si等の塗布型絶縁膜を形成してもよい。

【0014】配向制御膜14a, 14bは、ポリビニルアルコール、ポリイミド、ポリアミドイミド、ポリエステルイミド、ポリパラキシレン、ポリエステル、ポリカーボネード、ポリビニルアセタール、ポリ塩化ビニル、ポリ酢酸ビニル、ポリアミド、ポリスチレン、セルロース樹脂、メラミン樹脂、ユリヤ樹脂、アクリル樹脂やフォトレジスト樹脂などの有機絶縁物質或いは他の無機絶縁物質にて形成することができる。また、これらの絶縁膜13a, 13b及び配向制御膜14a, 14bは必要に応じて、上述のように2層以上に分けて、無機物質絶縁性配向制御層或いは有機物質絶縁性配向制御層単層とすることもできる。

【0015】これらの絶縁膜13a, 13b及び配向制御膜14a, 14bは、無機系ならば蒸着法などで形成でき、有機系ならば有機絶縁物質を溶解させた溶液、またはその前駆体溶液（溶剤に0.1～20重量%、好ましくは0.2～10重量%）を用いて、スピンナー塗布法、浸漬塗布法、スクリーン印刷法、スプレー塗布法、ロール塗布法等で塗布し、所定の硬化条件下（例えば加熱下）で硬化させ形成させることができる。

【0016】尚、これら絶縁膜13a, 13b及び配向制御膜14a, 14bの層厚は通常3～1000nm、好ましくは4～300nm、さらに好ましくは4～100nmが適している。

【0017】配向制御膜14a, 14bの少なくとも一方は、2層又は単層のいずれかに関わらず、ガーゼやアセテート植毛布等によるラビング処理等の一軸配向処理が施されている。

【0018】図2(a)(b)は、ラビング処理を説明する模式図で、ラビングローラ200は、円柱状のロー

(4)

6

ラ201にナイロン布等のラビング布202を貼りつけた構造を有している。このラビングローラ200を、Cの方向に回転させながら基板11a(11b)上の配向制御膜14a, 14bに所定圧で当接させ、そしてガラス基板11a(11b)（又はラビングローラ）を矢印B方向に移動させて配向制御膜14a, 14bを摺接することにより配向規制力が付与される。なお、この配向規制力はラビングローラ200を基板11a(11b)上の配向制御膜14a(14b)に当接させる際の当接力により決定され、通常はラビングローラ200を上下させ、ラビング布202の押し込み量を変えることによってラビング布202と配向制御膜14a(14b)との接触量で制御される。

【0019】かかる液晶素子が、カラー表示素子として適用される場合、基板11a, 11bの少なくとも一方には、R, G, B, W等の種々の色部材からなるドット或いはラインより構成されるカラーフィルターパターンが設けられる（不図示）。このカラーフィルターパターンは基板上に形成され、そのパターンを構成するラインやドット間の段差を低減すべく、必要に応じて無機材料或いは有機材料からなる平坦化層によって被覆され得る。また、カラーフィルターのドットやライン間には、好ましくは色間の混色を防止すべく、金属や樹脂材料からなる黒色の遮光層が設けられる（不図示）。このようなカラー表示素子では透明電極11a及び11bのパターンは、カラーフィルターパターンの計上に応じて設定され得る。

【0020】一方、上述した2枚の基板11a, 11bの間には、スペーサ16が散布されており、このスペーサ16によってガラス基板11a, 11bがパネル全面では駆動ICが実装された辺からの距離に応じた分布での間隔（セルギャップ一般的には0.1～20μm、好ましくは0.5～3μm）に保持されている。

【0021】尚、かかるスペーサ16としては、シリカビーズ、アルミナビーズ、高分子フィルム、ガラスファイバーが用いられる。更に、後述するシール剤と上述したスペーサーにより得られるセルギャップの保持機能を助長し、素子の耐衝撃性を向上すべく粒状接着剤（不図示）などが用いられ得る。

【0022】基板11a, 11bの周囲は、エポキシ系接着剤などの熱硬化性樹脂からなるシール剤にて接着されており（不図示）、これらのガラス基板11a, 11b間には例えばカイラルスメクチック相を呈する液晶が封入されている。

【0023】当該液晶素子では、上記カイラルスメクチック相（好ましくはカイラルスメクチックC相）を呈する液晶を用いる場合、好ましくは上述のようにセルギャップを十分に小さくすることで、同相で固有に生じる分子らせん配列構造が解除され、該分子が少なくとも2つ安定状態をとり得る状態となっている。

7

【0024】かかる液晶の配向状態は、液晶材料の特性、並びに配向制御膜（14a、14b）の材料、一軸配向処理の条件等を適宜選択することで調整され得る。例えば配向制御膜として、液晶分子に対し10～30度といった高いプレチルト角（液晶分子が配向制御膜に対して傾斜する角度）を付与し得るフッ素含有のポリイミドを用いて、特開平3-252624に開示されたような、コントラスト等の特性に優れたC1ユニフォーム配向状態を安定的に得ることができる。この場合、更に両基板における配向制御膜（14a、14b）の夫々に対して施す一軸配向処理、好ましくはラビング処理の方向を、互いに20度以下の範囲で交差させることによって、ユニフォーム配向状態をより安定的に得ることが可能となる。

【0025】上記カイラルスメクチック相を呈する液晶としては、種々の液晶性化合物を用いることができるが、フェニルビリミジン骨格を有する液晶性化合物を複数種並びに少なくとも1種の光学活性化合物を用いた液晶組成物等を適用することができる。例えば、スメクチック相の温度範囲より高温側でコレステリック相を呈する液晶（組成物）を用いることができる。

【0026】当該液晶素子では、シール剤にて囲まれた液晶が封入された全領域、ないしはシール剤にて囲まれた領域に対して若干（約15mm以下）の枠形状の部分を除いた領域が、実効的に液晶による光学変調に寄与し得る有効光学変調領域、（例えば、表示素子では実際の表示のための光学変調を行う領域）として機能する。

【0027】尚、基板11a及び11bの外側には偏光板17a、17bが貼り合わせてある。

【0028】本発明の液晶素子（例えば図1に示す構造）では、前述したように、基板（11a、11b）の駆動回路（駆動IC）が接続される辺からの距離が大きくなるに伴って、セルギャップが小さくなるように設定されている。

【0029】本発明では、好ましくは、パネル面内で、上述したようなスペーサー16の分散密度に（ある一点を中心とした単位面積（mm<sup>2</sup>）当たりのスペーサーの個数）所定の分布を設定した上で好ましくは後述するようなパネル形式プロセスで対向する2枚の基板を面内で均一に加圧して貼り合わせることによって、上述したようなセルギャップの分布を制御することが可能である。例えば、駆動回路が接続され得る辺の少なくとも一辺の近傍においてはスペーサーの分散密度を高め、その対辺に駆動回路が接続されない場合は、該辺近傍のスペーサーの分散密度をより低くし、また対辺にも駆動回路が接続される場合は、両辺近傍ではスペーサーの分散密度を高くし、両辺間の中央部分（有効光学変調領域の中央部）ではスペーサーの分散密度を低く設定する。

【0030】尚、本発明の液晶素子では、スペーサーとこれを挟持する一対の基板の夫々に設けられた膜の硬度

8

の関係に応じて、例えば後述する様なプロセスで一対の基板を対向せしめて加圧、加熱する際にスペーサーが基板上の液晶に接する膜に若干めり込んだ上でセルギャップが決定される。ここで、スペーサーの分散密度に応じて、上記の加圧により付与される圧力が異なり、スペーサーの液晶に接するべき膜に対してめり込む程度が変動する。こうして、スペーサーの分散密度に応じて、セルギャップの分布が設定され得る。

【0031】より具体的には、有効光学変調領域内で上述したスペーサーの分散密度に分布を設定してセルギャップの制御を行う。有効光学変調領域における駆動回路が接続される一辺を基準として、当該辺と垂直方向（通常は当該辺において接続される駆動回路によって信号電圧が供給される電極の長手方向）における有効光学変調領域の全長の10%以下の距離にある領域でのスペーサーの分散密度を、少なくとも同30%以上の距離にある領域でのスペーサーの分散密度より高くすることが好ましい。特に、互いに対向する2辺に駆動回路が接続される場合では、各辺を基準にして上記有効光学変調領域の全長の10%以下の距離にある領域でのスペーサーの分散密度を、少なくとも同30%以上70%以下の距離にある領域でのスペーサーの分散密度より高くすることが好ましい。

【0032】尚、スペーサーの散布は、例えば基板（11a、11b）上（実際には配向制御膜14、14b上）に対向したノズルから、これを走査させながらスペーサーを射出することによって行う。ここで、ノズルを有効光学変調領域における駆動回路が接続される一辺と垂直方向に走査させ、当該ノズルからのスペーサーの射出量或いは走査速度を、走査方向に沿って調整することによって、上述したようなスペーサーの分散密度の分布を設定することができる。

【0033】前述したようなマトリックス電極構造を用いた素子構造でマルチプレックス駆動を適用する際には、クロストークの低減といった観点で走査選択信号の電圧が高くなるため、走査電極に電圧を供給する駆動回路（駆動IC）からの発熱が極めて高い。従って、上述したようなスペーサーの分散密度の分布の設定によるセルギャップの分布の制御は、パネル面内において、走査電極に電圧を供給する駆動回路が接続される辺に垂直な方向（通常は走査電極の長手方向）に適用することにより極めて有効である。

【0034】本発明の液晶素子の具体的な製造プロセスの例を図3を参照して説明する。

【0035】図3（a）に示すように、透明電極12a、12b、絶縁膜13a、13b、及び配向制御膜14a、14bが形成された一対の基板11a、11bの一方の周縁部に液晶注入口となる部分を除いてシール剤18を印刷等により塗布形成する。続いて、いずれか一方の基板の配向制御膜上（図3（a）では配向制御膜1

9

4b上)に、上述したような分散密度分布でスペーサ16を散布する。

【0036】次いで、両基板を対向配置せしめ、図3(b)に示すようにシール剤18を加熱及び加圧(P)して硬化させることによって貼り合わせセル構造を形成する。尚、図3(b)では、右側を液晶注入口が形成される側とする。また、かかるセル構造の平面構造の例を図21に示す。同図において、20は液晶注入口となる部分である。

【0037】こうして得られたセル(空セル)に対し上記シール剤が形成されていない液晶注入口から液晶を注入する。その後、当該注入口はシール剤と同様の材料等によって封止する。そして、セル内に封入された液晶に必要な応じて熱処理等を施した後、セルの所定の辺において電極に対し駆動回路(駆動IC)を接続する(不図示)。

【0038】このようなプロセスにおいて、特に両基板に対して加圧及び加熱を施す工程では、通常、対向した基板(11a、11b)間に存在する加熱された空気が、図3(b)の矢印19に示すように液晶注入口となる部分から順次排気され得る。ここで図4に示すように、液晶注入口となる部分20、即ち、シール剤18が塗布されていない部分が、セルギャップが小さく設定され得る辺側に設けられ、特に注入口の幅が該注入口を含む辺の30%以下である場合、シール剤を加熱(及び加圧)する工程で、その条件によっては対向した基板(11a、11b)間に存在する加熱された空気21が注入口から速やかに排気され得ないことがある。かかる加熱空気は、他辺におけるシール剤のラインに圧力を加えてシール剤の破れなどの損傷を与えることがある。例えば図21に示す構造では、図面上の左側の領域でセルギャップが大きくなっている場合、シール剤18aや18bの部分が、排気され得なかった加熱空気の過度の膨張により損傷を受けることがある。こうして、液晶素子の安定的な製造が妨げられ、更に最終的に形成される素子の性能(例えば液晶配向性)にも悪影響が及ぶ場合がある。

【0039】かかる事項を考慮して、本発明の液晶素子ではシール剤を二重構造で基板周縁部に形成することが好ましい。特に、セルギャップが小さくなっている領域の周辺に形成されるシール剤を二重構造とすることは好ましい。例えば図22に示すように、第一のシール剤18の内側の一部の辺に沿って、第二のシール剤22を形成することが好ましい。これら二重構造の部分では、シール剤が互いに接触していなくてもよい。特に、同図のシール剤の構造は、図面上左側の領域でセルギャップが大きくなっている場合に特に好適である。

【0040】本発明の液晶素子では、面巾でセルギャップに分布を設けたことによって、特に平均的なセルギャップが大きい場合、或いはセルギャップの最大値と最小

(6)

10

値の差が大きい場合、パネル面内での過度の色度分布が生じ、通常の透過光を利用してあるいは素子の一方の面側に均一な平面光を供給する光源を設け、この光源からの光を利用して表示装置に適用する場合、セルギャップの相対的に大きな領域(特に駆動回路が接続された辺近傍の領域)において黄色に色付くといった現象が生じ得る。

【0041】そこで、本発明の液晶素子(液晶パネル)を透過型液晶表示素子として、表示装置に適用する場合、素子(表示パネル)の背面側に、上述したパネル面内でのセルギャップの分布に起因した色度分布を補償すべく、自身で色度分布を有する平面光を照射する照明手段(バックライト)を配置することが好ましい。こうして、液晶素子において、面内での駆動特性を均一化して表示品位を向上すると同時に、特に走査電極又は情報電極用の駆動回路(駆動IC)が接続された辺近傍の領域での色度のムラを低減することが可能となる。

【0042】

【実施例】以下、本発明を具体的な実施例に沿って更に詳細に説明する。基本的には下記のようなプロセスに沿って上述した図1に示すような構造の液晶素子を作成し、夫々の評価を行った。

【0043】約270mm×320mmのガラス基板11a、11bの板厚を1.1mmとし、各基板上にITOの透明電極12a、12bのパターンをスパッタ法及びフォトリソグラフィにより形成した。この透明電極12a、12bの膜厚は1500Åとし、幅170μmのストライプ状のものを30μmの間隔を開けて多数設けた。透明電極上にショート防止用の絶縁膜13a、13bをTa<sub>2</sub>O<sub>5</sub>膜を用い、900Åの厚さとなるようにスパッタ法で形成した。さらに、表面状態改質のため塗布型絶縁層(TiSi=1:1東京応化社製)を塗布し300℃で焼成を行った。膜厚は1200Åとした。

【0044】一方、配向制御膜14a、14bの形成は、ポリアミド酸(日立化成(株)製;LQ1802)をNMP/nBC=1/1液で1.5Wt%に希釈した溶液をスピナーで2000rpm、20secの塗布条件で塗布し、その後270℃、1時間焼成して行った。この膜厚は200Åとした。

【0045】次に、これら配向制御膜14a、14bに前述した図2に示す装置を用いてラビング処理を行った。

【0046】押込み量εを0.35mmローラ回転数を1000rpm、ローラ送り速度を30mm/secのラビング条件で2回行った。

【0047】このようにして製作されたガラス基板11a、11bを、一方のガラス基板11a(11b)に所定の平均粒径を有するビーズスペーサ16(シリカビーズ、アルミナビーズ等)を後述したような所定の分布で散布し、他方のガラス基板11b(11a)の周縁部に



(7)

11

エポキシ樹脂の接着剤であるシール接着剤をディスペンサによる描画で形成した両ガラス基板11a、11bを貼り合わせて160℃、1kg/cm<sup>2</sup>、1時間の条件でシール材の加熱、硬化を行いマトリックス電極構造のセルを形成した。なお、貼り合わせたガラス基板11a、11bに施したラビング処理のラビング方向が略平行になるように行った。

【0048】ここで、シール剤は、図21に示すように基板の周縁部に沿って注入口20の部分を除いてライン状に形成した。シール材で囲まれた領域の寸法をシール材塗布巾の中心点の測定で257mm×315mmとし

-8.3℃ 67.3℃ 91.7℃ 100.1℃

Cryst → SmC\* → SmA → Ch → Iso.

チルト角  $\theta = 15.1^\circ$  (at 30℃)

自発分極  $P_s = 5.5$  (nC/cm<sup>2</sup>) (at 30℃)

$\Delta n = 0.2$

【0051】続いて、マトリックス電極構造をなす透明電極12a及び12bの夫々に対して、セルの少なくとも一辺ないしは両辺の端部において、透明電極12a及び12bの一方が走査電極、他方が情報電極として機能するべく、これらに走査信号電圧ないし情報信号電圧を供給する駆動ICを接続した。

【0052】以下具体的な実験例について詳述する。

【0053】(実験例1) 上述したプロセスに沿って、図1に示す構造であって、模式的には図6(a)又は図8(a)に示す構造(但しこれら図では、絶縁膜、配向制御膜は省略されている)の液晶素子(液晶表示パネル)のサンプル1(図6)、サンプル2(図8)を作製した。これらサンプル1、2では走査電極駆動用のIC(40)が、一方の基板(11a)の一辺において走査電極(11a)に接続されている。また、平均粒径が1.2μmのビーズスペーサー(16)が使用され、駆動IC(20)により電圧が供給される走査電極(11a)方向でのスペーサー散布密度(分散密度に相当)が、夫々図6(b)、図8(b)で示されるような分布を有し、且つ走査電極方向でのセルギャップの変化が、夫々図6(c)、図8(c)で示されるような状態となっている。

【0054】図6(b)、(c)、図8(b)、(c)における横軸は、素子の有効光学変調領域の走査電極方向における全長を1とし、走査電極用駆動IC(40)が形成された辺側における端辺を基準(0)とした距離の相対比率を示している。このスペーサー散布密度及びセルギャップは、走査電極用駆動ICが形成された辺を均等に区分した5点を通り、当該辺と直交する5本の線上で測定された値( $n=5$ )について走査電極用駆動ICからの等距離の点での値を平均した値である。即ち、面内(有効光学変調領域内)を均一に配置した5×5の25点で測定された値を基にしている。

【0055】尚、セルギャップについては上記の5×5

12

また、シール材の巾は0.27mmとした。注入口となる不連続な部分の長さは、該注入口を含む辺の長さの1/3とした。

【0049】その後、下記の相転移温度、及び物性値を示すフェニルビリミジン系強誘電性液晶を減圧下でIso相に昇温し毛管現象により注入して、その後徐冷して液晶装置を製造した。この素子を駆動して配向状態を観察したところ、いわゆるユニフォーム状態の配向であることが観察された。尚、有効光学変調領域を235mm×294mmとした。

【0050】

91.7℃ 100.1℃

Cryst → SmC\* → SmA → Ch → Iso.

の25点の夫々においてリタデーションを測定し(オリンパス光機 RA100使用)この値に基づいて求めた。

【0056】かかるサンプル1及び2の素子について、夫々図5に示すような駆動波形(走査選択信号S、情報信号I)を用いて白黒のマトリックス表示を行った。駆動条件としては、環境温度20℃、 $V_{com} = 14.1$  V、 $V_{seg} = 5.9$  V、 $V_{com} + V_{seg} = 20$  Vとした。かかる駆動時において、各サンプルで生じる走査電極方向での液晶の温度分布、液晶駆動の閾値変動、並びに表示品位の変動について評価した(測定は上記スペーサー散布密度、セルギャップの測定地点で行った)。尚、閾値変動は、上記駆動条件における駆動電圧のパルス巾を変化させて得られる閾値の値によりを測定し、素子の一端の(距離1の部分)閾値を1として相対評価した。表示品位については、各測定ポイントでの10mm×10mmで白ないし黒表示が均一になされているかで評価した。

【0057】同方向での温度分布が軽減され、閾値がほぼ均一に保たれていた。サンプル1での最高及び最低温度の差 $\Delta T = 3.9^\circ\text{C}$ 、サンプル2では $\Delta T = 4.9^\circ\text{C}$ であった。更に、図6に示す設定の素子では、素子全面で白黒の表示状態が均一であるのに比較して、図8の場合では、走査電極用の駆動ICが実装された側の辺近傍の光学変調領域で表示ムラが発生していた。このように、マトリックス電極構造を有する液晶素子において、図6に示すような設定とすることによって、特に、走査電極用の駆動IC近傍に発生する表示ムラが著しく改善され得ることが判った。

【0058】かかる結果は、図6に示す設定の液晶素子において、特に走査電極用駆動ICが接続された辺近傍の領域でのセルギャップを大きくしたことによって、同領域での液晶素子としての容量が小さくなり流れる電流が低減されて発熱量を抑制され、当該駆動ICの発熱による影響が補償されたことに起因して得られたものであると認められる。

【0059】(実験例2) 上述したプロセスに沿って、

(8)

13

図1に示す構造であって模式的には図10(a)に示す構造(但しこれら図では配向制御膜及び絶縁膜は省略されている)の液晶素子(液晶表示パネル)のサンプル3を作製した。また、このサンプル3では走査電極駆動用のIC(40)が、一方の基板(11a)の両辺において走査電極(11a)に接続されている(走査電極によっていずれかの辺側で駆動ICに接続する)。また、平均粒径が1.2 $\mu$ mのビーズスペーサー(16)が使用され、駆動IC(40)により電圧が供給される走査電極(11a)方向でのスペーサー散布密度(分散密度に相当)が、図10(b)で示されるような分布を有し、且つ走査電極方向でのセルギャップの変化が、図10(c)で示されるような状態となっている。

【0060】尚、図10での表示は、図6及び図8と同義である。

【0061】これに対し、サンプル2と同様のスペーサー散布密度の及びセルギャップの分布を有し、且つ、走査電極駆動用のICが一方の基板の両辺において走査電極(11a)に接続された走査電極によっていずれかの辺側で駆動ICに接続する)へ接続した構造のサンプル4を作製した。

【0062】かかるサンプル3及び4について、実験1と同様の条件で駆動を行い、同様に走査電極方向での液晶の温度分布、液晶駆動の閾値変動、並びにパネル面内での表示品位の変動について評価した。結果を夫々図11(a)及び(b)(サンプル3)、図12(a)及び(b)(サンプル4)に示す。

【0063】図11に示す結果を図12の結果と比較することにより、図10に示すような走査電極よう駆動ICを対向する二辺に備えた素子では、同図に示す走査電極方向でのスペーサーの分散密度、及びセルギャップの分布を設定することで、同方向での温度分布が軽減さ

\*

14

\*れ、閾値がほぼ均一に保たれていた。また、パネル面内での表示ムラは見られなかった。

【0064】尚、実験例1及び2の素子において、情報電極用の駆動ICが接続された辺においてもセルギャップを大きくし、かかる辺に垂直な方向(即ち情報電極の方向)に沿ってセルギャップを変化させる(当該辺からの極が大きくなるに伴ってセルギャップを小さくすることによって、パネル全面での表示品位の更なる安定化が実現される。

10 【0065】(実験例3)走査電極方向でのスペーサーの分散密度の分布、及びこれによるセルギャップの分布を変化させたことを除いて、実験1のサンプル1と同様の構成になる素子(表示パネル)のサンプル5~10を作製した。尚、これらサンプルでは、スペーサー分散密度の分布及びセルギャップの分布の傾向はサンプル1の場合(図6(b)及び(c))と同様とし、下記式

(t)に示す最小セルギャップ $d_{min}$ と最大セルギャップ $d_{max}$ の関係を種々に設定した。

【0066】

20 【外3】

$$\frac{(d_{max}-d_{min})}{(d_{max}+d_{min})/2} \times 100 (\%) \quad \dots (1)$$

上記式(1)で規定されるパラメーターは、分布を持つセルギャップの概略平均値が $(d_{max}+d_{min})/2$ に対するギャップの変動値 $(d_{max}-d_{min})$ の割合を示し、ギャップ変動の程度を示すものである。これらサンプル5~10及びサンプル2について、実験1と同様の条件で駆動を行い、パネル面内での表示ムラ及び色付きを評価した。結果を下記表に示す。

30 【0067】

【表1】

	$\frac{(d_{max}-d_{min})}{(d_{max}+d_{min})/2}$	表示ムラ**	色ムラ*
(サンプル 2)	0%	有	◎
(サンプル 5)	5%	無	◎
(サンプル 6)	8%	無	◎
(サンプル 7)	10%	無	◎
(サンプル 8)	20%	無	◎
(サンプル 9)	30%	無	○
(サンプル10)	50%	無	△

※色ムラ：◎：走査電極駆動用ICが接続された辺から、走査電極方向の全長(有効光学変調領域内)の5%以内の範囲でのみ黄色の色付きの現象が発生

○：同10%以内の範囲での黄色の色付き現象が発生

△：同20%以内の範囲での黄色の色付き現象が発生

※※表示ムラ：走査電極駆動用ICが接続された辺近傍での10mm×10mmの領域での白又は黒表示が均一になされているかを評価

【0068】この結果から、前記パネルの最大セルギャップ $d_{max}$ と最小セルギャップ厚 $d_{min}$ が

【0069】

50 【外4】

(9)

15

$$\frac{d_{\max} - d_{\min}}{(d_{\max} + d_{\min})/2} \times 100 \geq 5\%$$

で色ムラも良く効果的に表示ムラが改善できる。

【0070】さらに、

【0071】

【外5】

$$30\% \geq \frac{(d_{\max} - d_{\min})}{(d_{\max} + d_{\min})/2} \times 100 \geq 5\%$$

では色ムラも良好であることがわかる。

【0072】尚、本発明者らの実験によれば、対角15  
10 インチのパネルにおいて、

【0073】

【外6】

$$\frac{d_{\max} - d_{\min}}{(d_{\max} + d_{\min})/2} \geq 5\%$$

とするためには、スเปーサ散布密度の走査電極の取出し  
部側での値  $S_{\max}$  とパネルの表示エリアの最小セルギ  
ャップ部での値  $S_{\min}$  を、

【0074】

【外7】

$$\frac{S_{\max}}{S_{\min}} \geq 2$$

と設定することが好ましいことが見出された。

【0075】(実験例4) 本例では、セルギャップの分  
布の設定によって生じ得る面内での色付き現象の抑制手  
段について検討した。

【0076】実験例1で作製したサンプル1及び実施例  
3で作製したサンプル3について走査電極方向での色度  
分布(CIE-x y色度)を測定した。具体的には、パ  
ネル全面を白表示状態とし、測定器としてBM-7(ト  
ブコン社製)を用い、室温でパネル面の中心輝度を10  
0 c d / c m<sup>2</sup> (均一平面光)として測定した。結果を  
サンプル1について図13(a)(色度x)及び(b)  
(色度y)、サンプル3について図14(a)(色度  
x)及び(b)(色度y)に示す。これら線図の横軸  
は、図6(b)等の横軸と同義である。即ち走査電極用  
駆動ICとが形成された辺を均等に区分した5点を通  
り、当該辺と直交する5本の線上での点で測定を行い、  
走査電極駆動ICから等距離にある点での値の平均値を  
算出したものである。尚、測定点での測定エリアの大き  
さを5 mm φとした。

【0077】同図に示す結果より、両サンプル共、走査  
電極方向でセルギャップの分布(図6(c)、10  
(c))に対応する色度分布が認められる。

【0078】これらサンプルの素子の背面に図15に示  
すような構造のバックライト30を配置した。かかるバ  
ックライト30は、ランプケース31内に、サンプル1  
の素子の走査電極用駆動ICが設けられる辺の方向を長  
手方向とした複数のランプ32…が配列され、その上方  
にライティングカーテン33及び拡散板34を備えてお

16

り、液晶素子に対し背面から光照射を行う。そして、複  
数のランプ32として、パネルの走査電極の方向のセル  
ギャップ分布に応じて、照射光の色度が異なるものを配  
置した。

【0079】バックライト全体として平面光としての、  
パネルにおける走査電極方向での色度分布を、図16  
(a)及び(b)(サンプル1に対して使用したバック  
ライト)、図18(a)及び(b)(サンプル3に対し  
て使用したバックライト)に、バックライトを使用した  
状態での表示面の色度分布を夫々、図17(a)及び  
(b)、図19(a)及び(b)に示す。

【0080】また、参考として、サンプル2のセルギ  
ャップが均一な素子に対して、全面ほぼ均一な色度を有す  
る平面光を照射するバックライトを適用して、同様に表  
示面の走査電極方向における色度分布を測定した。結果  
を図20(a)、(b)に示す。

【0081】これら結果によれば、セルギャップに分布  
が設けられた液晶素子に対してこのセルギャップ分布に  
対応した色度分布を有するバックライトを用いることに  
よって、表示面の過度の色度分布を、色度分布の小さい  
バックライトを用いる場合に比較して低減し、セルギ  
ャップが均一である液晶素子と同等のレベルにすることが  
可能であることが明らかである。

【0082】(実験例5) 本例では、セルギャップの分  
布の設定によって素子の製造時に生じ得る周縁部におけ  
るシール剤の損傷の抑制について検討した。

【0083】図21に示す平面構造のようにシール剤を  
基板の全周縁部に亘って単層構造で形成し、注入口20  
の幅を当該注入口が設けられる辺のシール剤の長さの1  
/4としシール剤の硬化の条件を160℃、2 kg f /  
c m<sup>2</sup>、1時間とすることを除いて他は、実験例1のサ  
ンプル1と同様に液晶素子を作成した。

【0084】この場合、素子10個の製造で、8個まで  
が図21の17a及び17bの領域付近でシール剤と交  
差する電極の方向に沿ってかかるシール剤の剥離が発生  
した。

【0085】これに対し、シール剤のパターンを図22  
のように二重構造とし、注入口20の幅を当該注入口が  
設けられるシール剤の長さの1/4としたシール剤の  
加熱硬化の条件を上記のようにすることを除いて、サン  
プル1と同様の設計及び条件で液晶素子で作製した。こ  
こでシール剤22の部分の幅を0.15 mmとし、シール  
剤18の部分との間隔を4.6 mmとした。この場  
合、素子10個の製造で、シール剤の剥離を生じたもの  
はなかった。

【0086】この結果、セルギャップに分布が設けら  
れ、特にセルギャップが小さく設定された側に液晶注入  
口が形成される場合、液晶素子に対してシール剤を二重  
構造で形成することによって、シール剤の加熱硬化の条  
件が厳しくても当該液晶素子をより安定的に得ることが  
50

(10)

17

でき、また得られた素子についても実験例1等で立証されたような優れた表示品位が長期的且つ安定して確保されることが明らかである。

【0087】

【発明の効果】以上詳述したように、本発明によれば、液晶素子及びこれを用いた液晶表示装置において、特に駆動IC等が実装された部分近傍での発熱に起因した液晶パネル面内での過度に不均一な温度分布を解消し、面内での表示ムラが改善される。

【図面の簡単な説明】

【図1】(a)本発明の液晶素子の構造の一例を示す斜視図。

(b)図1(a)のA-A線に沿った断面図。

【図2】(a)本発明の液晶素子の製造において適用するラビング処理を説明する斜視図。

(b)本発明の液晶素子の製造において適用するラビング処理を説明する断面図。

【図3】(a)(b)本発明の液晶素子の製造プロセスを示す断面図。

【図4】本発明の液晶素子における、基板間からの排気の状態を模式的に示す斜視図。

【図5】本発明の実施例で用いる駆動波形を示す図。

【図6】(a)本発明の実施例のサンプル1の素子の構造を模式的に示す図。

(b)サンプル1におけるスペーサー散布密度の分布を示す図。

(c)サンプル1におけるセルギャップの分布を示す図。

【図7】(a)サンプル1の素子における温度分布を示す図。

(b)サンプル1の素子における閾値分布を示す図。

【図8】(a)本発明の実施例のサンプル1の構造を模式的に示す図。

(b)サンプル2におけるスペーサー散布密度の分布を示す図。

(c)サンプル2におけるセルギャップの分布を示す図。

【図9】(a)サンプル2の素子における温度分布を示す図。

(b)サンプル2の素子における閾値分布を示す図。

【図10】(a)本発明の実施例のサンプル3の構造を模式的に示す図。

(b)サンプル3におけるスペーサー散布密度の分布を示す図。

18

(c)サンプル3におけるセルギャップの分布を示す図。

【図11】(a)サンプル3の素子における温度分布を示す図。

(b)サンプル3の素子における閾値分布を示す図。

【図12】(a)サンプル4の素子における温度分布を示す図。

(b)サンプル4の素子における閾値分布を示す図。

【図13】(a)(b)サンプル1の素子に対して均一平面光のバックライトを適用した際のパネル面における色度分布を示す図。

【図14】(a)(b)サンプル3の素子に対して均一平面光のバックライトを適用した際のパネル面における色度分布を示す図。

【図15】本発明の実施例で液晶素子に対して使用するバックライトの構造を模式的に示す断面図。

【図16】(a)(b)本発明の実施例でサンプル1の素子に対して使用するバックライトのみの色度分布を示す図。

【図17】(a)(b)図16に示す色度分布のバックライトをサンプル1の素子に対して適用した場合の色度分布を示す図。

【図18】(a)(b)本発明の実施例でサンプル3の素子に対して使用するバックライトのみの色度分布を示す図。

【図19】(a)(b)図18に示す色度分布のバックライトをサンプル1の素子に対して適用した場合の色度分布を示す図。

【図20】(a)(b)サンプル2の素子のみに色度分布を示す図。

【図21】本発明の液晶素子におけるシール剤の配置の一例を示す平面図。

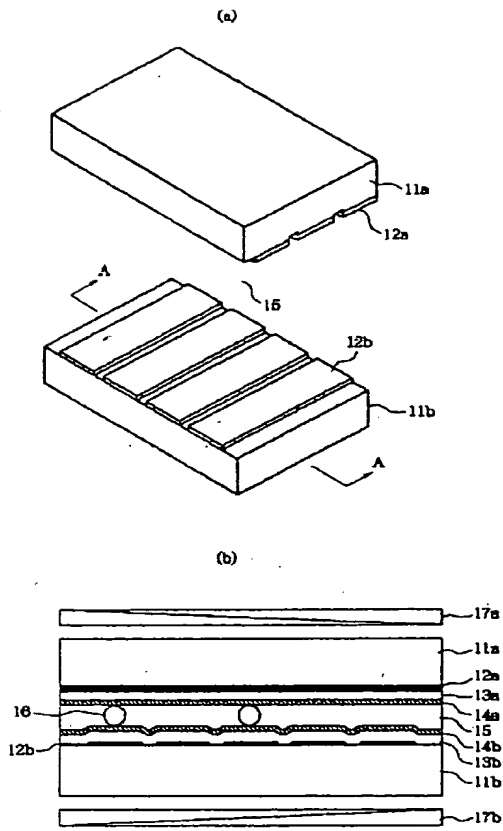
【図22】本発明の液晶素子におけるシール剤の配置の他の例を示す平面図。

【符号の説明】

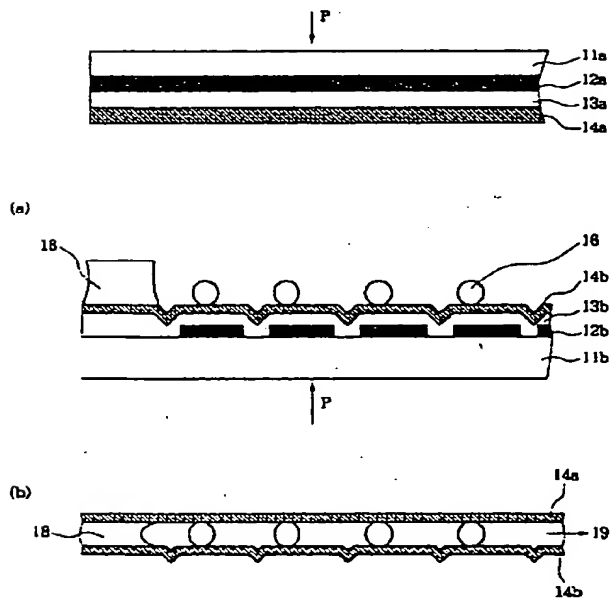
11a、11b 基板  
12a、12b 電極  
13a、13b 絶縁膜  
14a、14b 配向制御膜  
15 液晶  
16 スペーサー  
17a、17b 偏光板  
18 シール剤  
20 液晶注入口

(11)

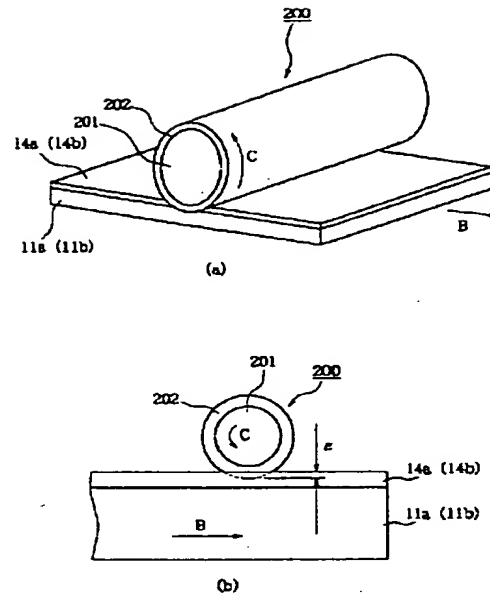
【図1】



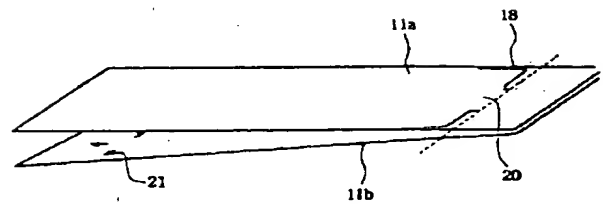
【図3】



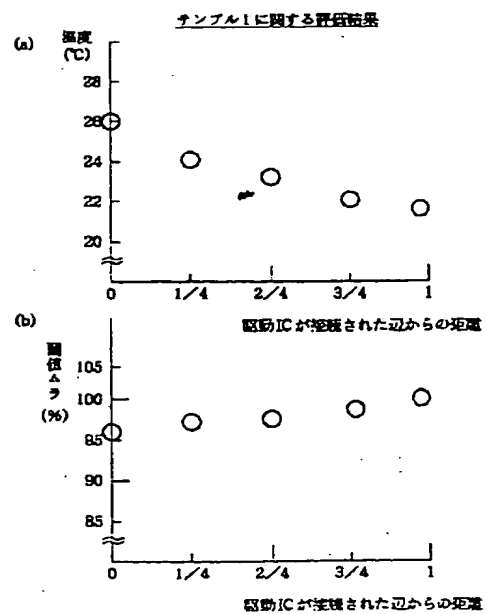
【図2】



【図4】

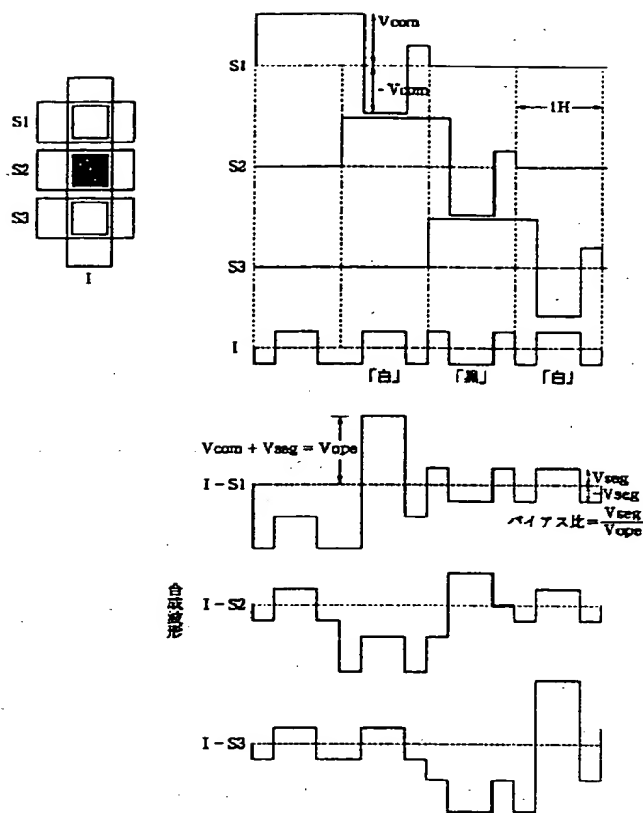


【図7】

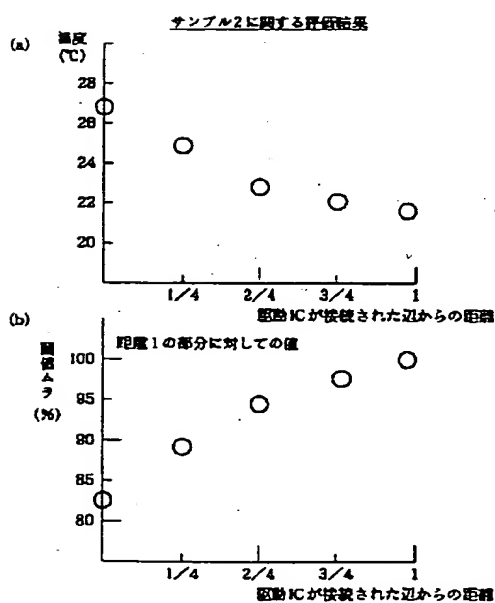


(12)

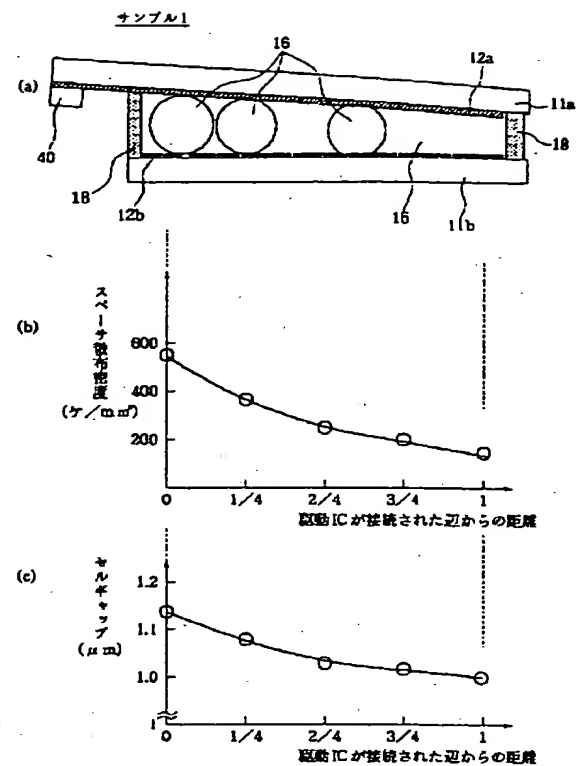
【図5】



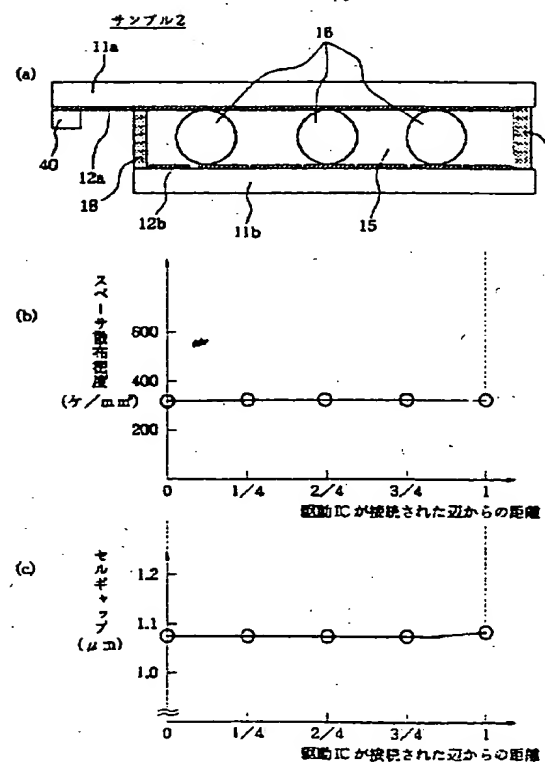
【図9】



【図6】



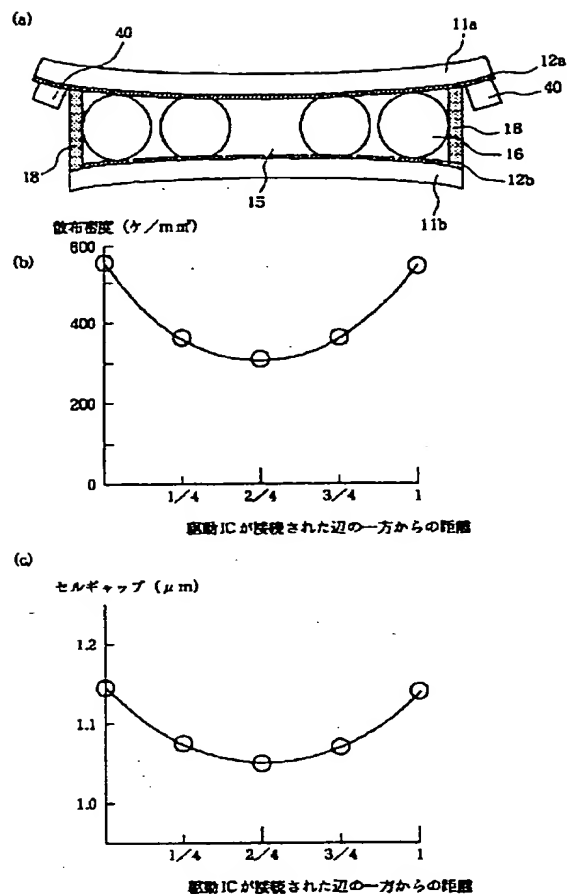
【図8】



(13)

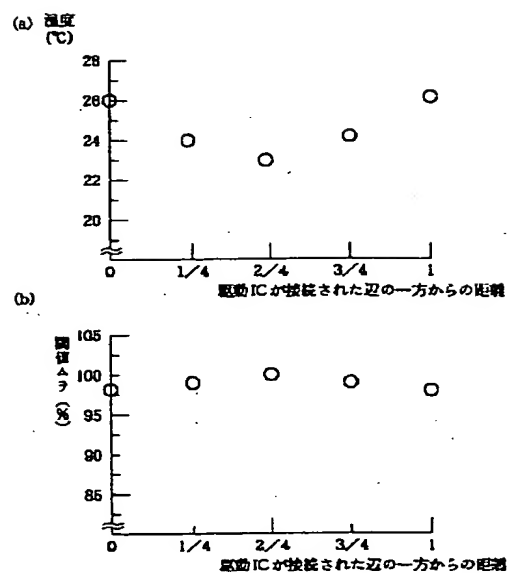
【図10】

サンプル3



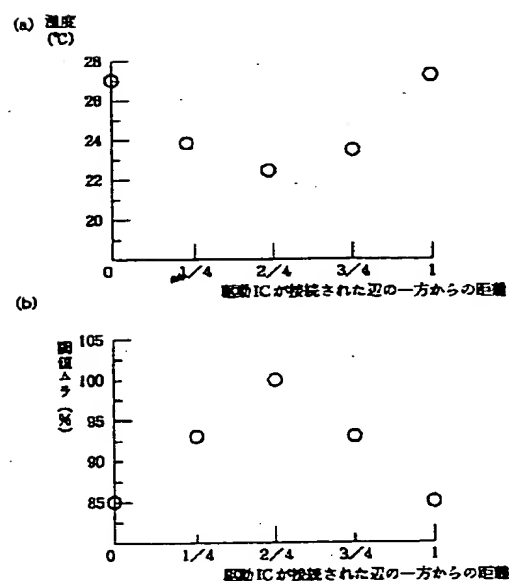
【図11】

サンプル3に関する評価結果



【図12】

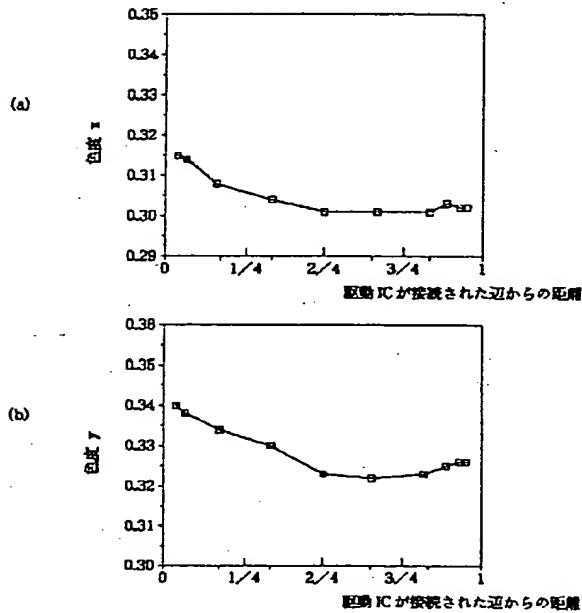
サンプル4に関する評価結果



(14)

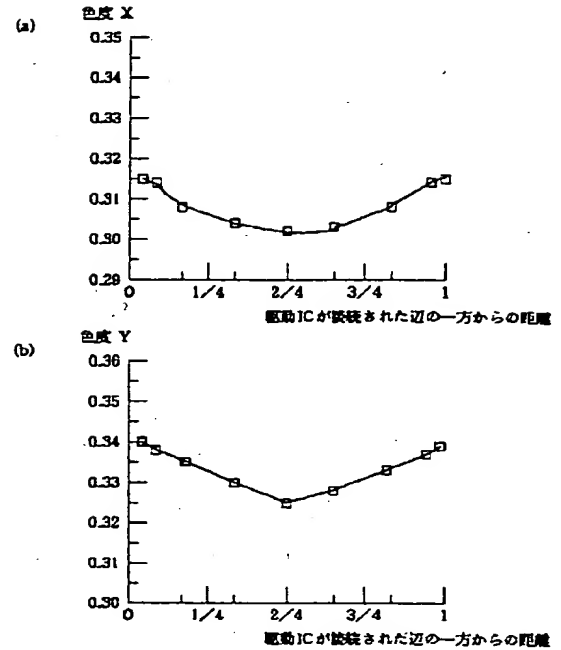
【図13】

サンプル1に対して平面光のバックライトを組合せた時の面内色度分布

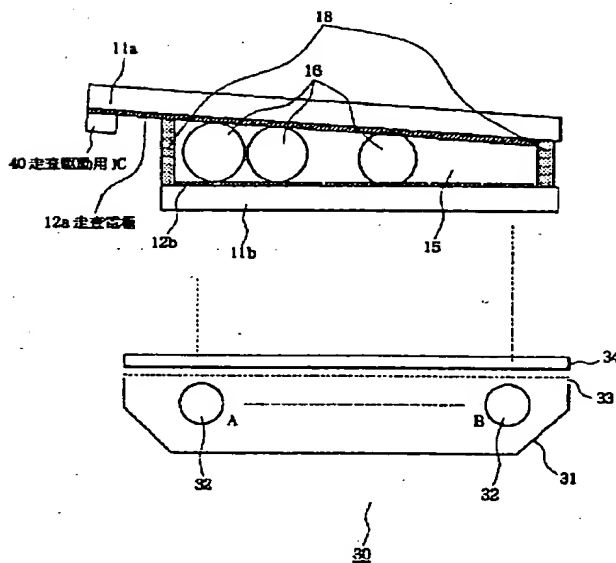


【図14】

サンプル3に対して均一平面光のバックライトを組合せた時の色度分布

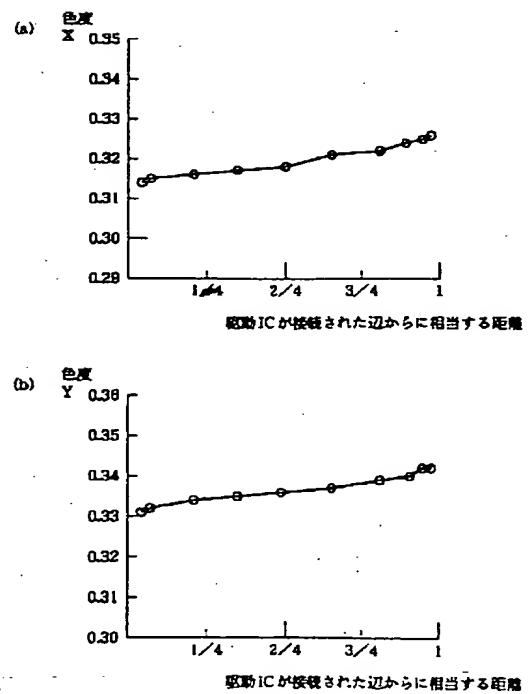


【図15】



【図16】

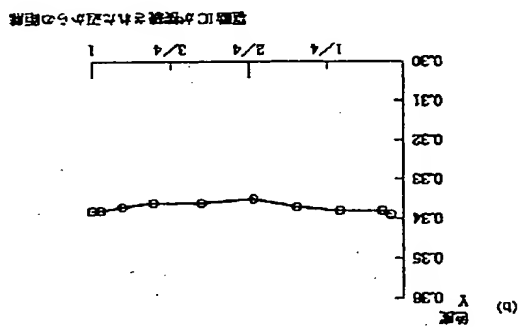
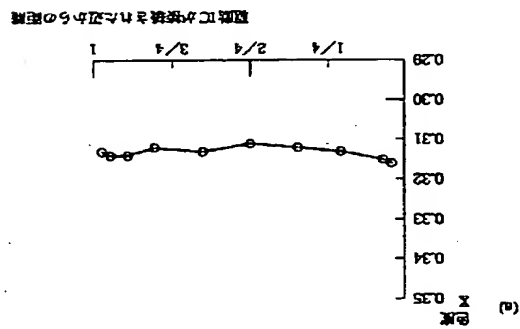
サンプル1に対して使用するバックライトのみの色度分布





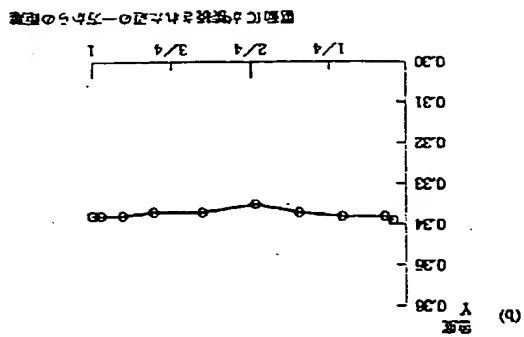
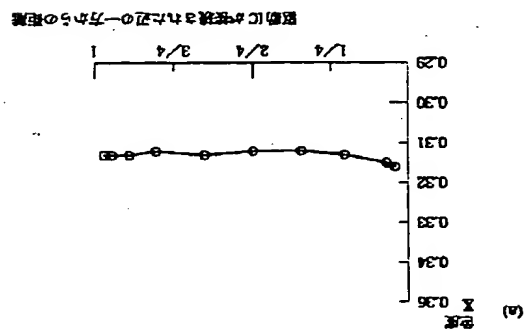
【図17】

パナソニックとパナソニック（ソニー）を組み合わせる時の色度分布



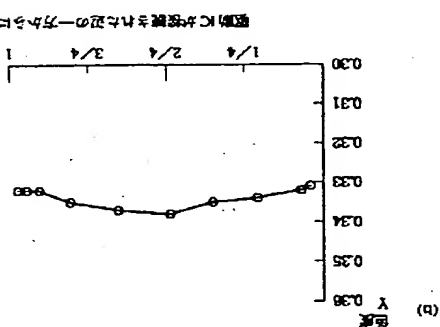
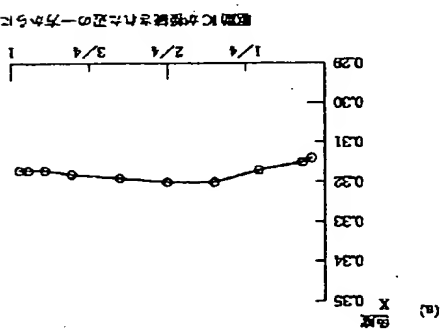
【図19】

パナソニックとパナソニック（ソニー）を組み合わせる時の色度分布

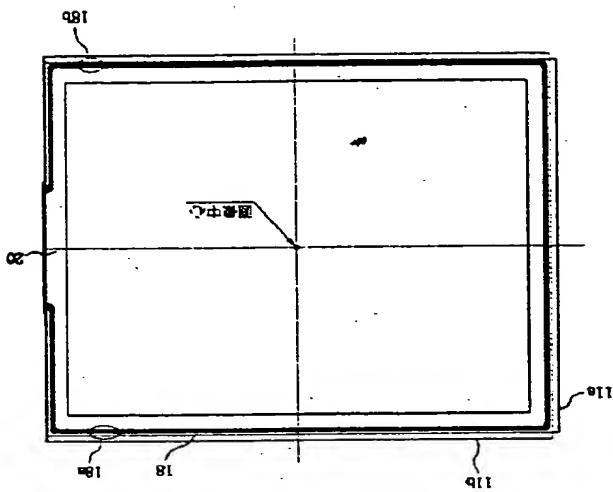


【図18】

パナソニックに対して使用するパナソニックの色度分布



【図21】



フロントページの続き

(72)発明者 齊藤 哲郎

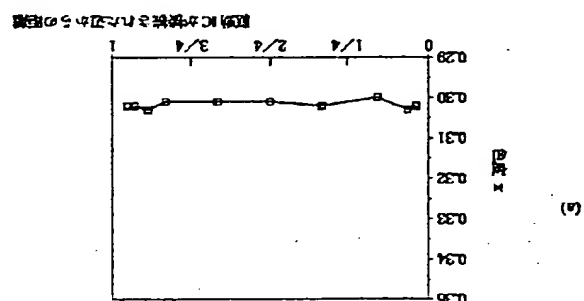
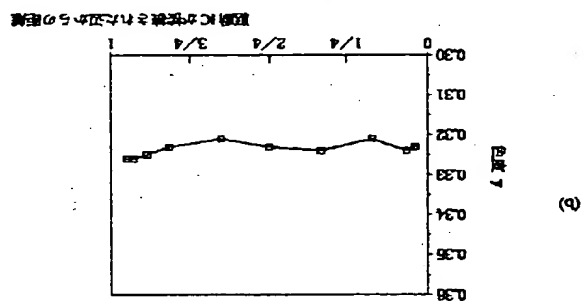
東京都大田区下丸子3丁目30番2号キヤノ

ン株式会社内

(72)発明者 小村 明彦

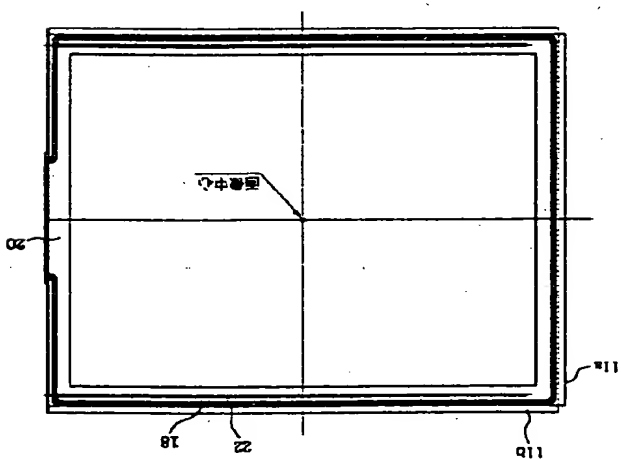
東京都大田区下丸子3丁目30番2号キヤノ

ン株式会社内



カラー2を用いた表示装置での色分布

【図20】



【図22】